

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-196859

(43)Date of publication of application : 08.08.1989

(51)Int.Cl.

H01L 27/04  
H01L 21/265  
H01L 21/76  
H01L 27/10

(21)Application number : 63-023092

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.02.1988

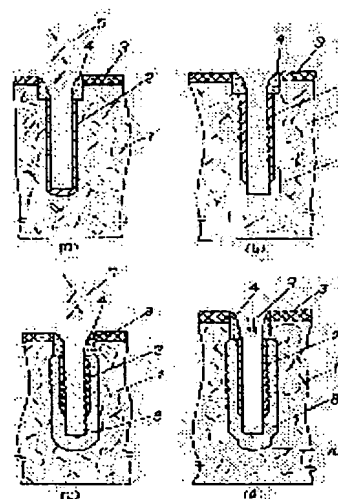
(72)Inventor : NAITO KOJI  
FUSE HARUhide

## (54) MANUFACTURE OF MOS DYNAMIC MEMORY

## (57)Abstract:

**PURPOSE:** To prevent the generation of a boron low concentration region by a method wherein arsenic is introduced to a sidewall in order to form an n<sup>+</sup> layer, a trench bottom is dug down again, an arsenic containing layer in the bottom is gotten rid of and boron for shaping a p<sup>+</sup> layer is introduced to the sidewall.

**CONSTITUTION:** An silicon trench is cut, and arsenic is induced to a sidewall through oblique ion implantation 5, etc. An arsenic containing layer is also formed in a trench bottom at that time. The trench bottom is dug down for removing the arsenic containing layer in the trench bottom. Boron is introduced to the sidewall through oblique ion implantation 7, etc., and n<sup>+</sup> and p<sup>+</sup> double layers 2, 8 are shaped to the sidewall section. Lastly, boron 9 is induced to the trench bottom through 0° ion implantation in order to control isolation breakdown strength. Accordingly, the generation of a boron 9 low concentration region is prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-196859

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月8日

H 01 L 27/04  
21/265  
21/76  
27/10

3 2 5

C-7514-5F  
V-7738-5F  
L-7638-5F  
D-8624-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 MOSダイナミックメモリの製造方法

⑯ 特 願 昭63-23092

⑰ 出 願 昭63(1988)2月2日

⑱ 発 明 者 内 藤 康 志 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 布 施 玄 秀 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
㉑ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

MOSダイナミックメモリの製造方法

2. 特許請求の範囲

シリコン基板に形成した溝の一方の側壁を一つのDRAMセルの電荷蓄積電極として用い、この溝の底部を、対向側壁に形成された他DRAMセルの電荷蓄積電極との分離領域とする構造で、電荷蓄積電極を $n^+$ 層、 $p^+$ 層の二重不純物導入層で形成する場合、不純物導入、分離部形成を $n^+$ 層形成用にヒ素を側壁に導入し、次に溝底を再び掘り下げて底部のヒ素含有層を除去したのち、側壁に $p^+$ 層形成用のホウ素を導入する順序で行なうMOSダイナミックメモリの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明はMOSダイナミックメモリの製造方法に関するものである。

従来の技術

従来、シリコン基板に形成した溝の一方の側壁

を一つのDRAMセルの電荷蓄積電極として用い、この溝の底部を対向側壁に形成された他DRAMセルの電荷蓄積電極との分離領域とする構造で、電荷蓄積電極を $n^+$ 層、 $p^+$ 層の二重不純物導入層で形成する場合(通常、H I - C構造と略称される)においては、不純物導入、分離部形成工程は、以下に示す方法がとられていた。第3図にその工程例を示す。(1)まず、何らかの方法でシリコン基板に溝を掘ったのち、斜めイオン注入等で、側壁にホウ素を導入する(第3図(a))。(2)次に側壁部に $n^+p^+$ の二重層を形成するために、斜めイオン注入等で側壁にヒ素を導入する。この際、溝底にもヒ素が入る。(3)この後、溝底のヒ素含有層を除去するために、溝を掘り下げる(第3図(b))。(4)最後に、分離耐圧を制御するために、溝底に $o^+$ イオン注入でホウ素を導入する。

以上の手続きで上記構造を実現していた。

発明が解決しようとする課題

従来の方法によると、溝底再掘下げ(第3図(b)の工程)の制御性が充分得られないという理由で、

溝底のヒ素含有層だけでなく、ホウ素含有層までも除去してしまふ虞れがあり、最終的に溝底にホウ素を $O^+$ 注入で導入した後、第3図(d)の24の部分にP型の低濃度層ができてしまう。第4図はDRAMセルとして最後まで作り上げた場合の一例であるが、溝再掘下げによって生じたホウ素低濃度領域30が残る。DRAMの動作時には、第4図33に示すポリシリコンプレート電極に正電圧が加えられるため、30の部分の空乏層が大きく広がる。この空乏層の伸びは、基板とトランジスタ形成部の電気抵抗を高くするため、トランジスタのバックゲート電位が不安定になる。これは、トランジスタのサブスレショルド電流を増す等の問題を引起す。

本発明は、上記課題を解決するものである。

課題を解決するための手段

本発明のMOSダイナミックメモリの製造方法は、シリコン基板に形成した溝の一方の側壁を一つのDRAMセルの電荷蓄積電極として用い、この溝の底部を、対向側壁に形成された他DRAM

ース/ドレイン層、15はビット線—容量電極分離層、16はビット線である。第2図中の2a, 2b, 8, 10を形成する際に本発明に係る方法が用いられる。

第2図に示される構造は、S.O.C.構造として知られる形式のダイナミックメモリセルである。その概要は、基板上で、薄い溝で区画されたシリコンブロックの各々の表面にスイッチング・トランジスタが配置され、各シリコンブロックの周辺側壁が薄い絶縁膜を介して、溝に埋め込まれたプレート電極11との間で、記憶容量を構成される、というものである。この構造の場合、従来例の方法で作ると、空乏層が各シリコンブロックの内側へ向って伸び、各シリコンブロックが載る基板の電位で各ブロックの表面のトランジスタのバックバイアスを固定できなくなる。特にこのブロックが小さくなると、周囲から伸びた空乏層が完全につながってしまう。本発明では、この虞れが解決される。

そこで、不純物導入、分離部形成工程を第1図

セルの電荷蓄積電極との分離領域とする構造で、電荷蓄積電極を $n^+$ 層、 $p^+$ 層の二重不純物導入層で形成する場合、不純物導入、分離部形成を $n^+$ 層形成用にヒ素を側壁に導入し、次に溝底を再び掘り下げて底部のヒ素含有層を除去したのち、側壁に $p^+$ 層形成用のホウ素を導入する順序で行なうことを特徴とするものである。

作用

このような本発明の方法の手順によれば、ホウ素低濃度領域の発生という問題は解消される。

実施例

以下、本発明の一実施例方法を説明する。第2図が、第1図に示される工程(後述)を経て形成されるMOSダイナミックメモリセルの実施例である。第2図において、1はシリコン基板、2はヒ素導入層、2a, 2bは2つのDRAMセルの相対向する電荷蓄積電極、8は $p^+$ 層、10は分離ホウ素導入層、11はポリシリコンプレート電極、12は絶縁膜、13はMOSトランジスタのゲートポリシリコン、14はMOSトランジスタのソ

に示す手順にする。即ち、まず何らかの方法でシリコン溝を掘ったのち、斜めイオン注入6等で、側壁にヒ素を導入する。この際、溝底にもヒ素含有層ができる(第1図(a))。次に、溝底のヒ素含有層を除去するために、溝底を掘下げる8(第1図(b))。この後、斜めイオン注入7等で側壁にホウ素を導入し、側壁部に $n^+$ ,  $p^+$ の二重層2, 8を形成する(第1図(c))。最後に、分離耐圧を制御するために、溝底に $O^+$ イオン注入でホウ素を導入9する。以上の手順によれば、上記した問題点(第4図の30に示されるホウ素低濃度領域の発生)は解決される(第1図(c)あるいは(d)より明白)。なお、第1図中3, 4はトレンチ・エッチング・マスクである。

発明の効果

本発明によれば、きわめて簡易な処理により、溝再掘下げによって生じるホウ素低濃度領域をなくすることができ、MOSダイナミックメモリの製造方法として実用的にきわめて有用である。

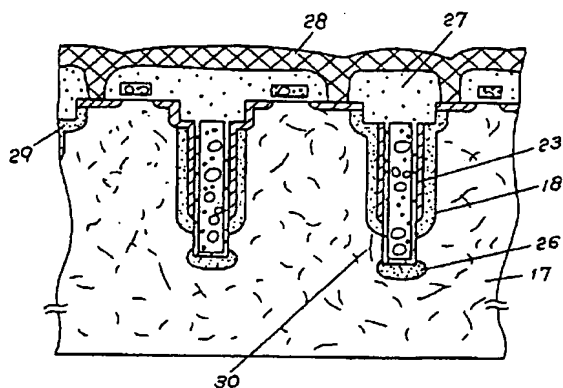
4、図面の簡単な説明

第1図は本発明の一実施例方法を示す工程図、  
第2図は本工程を用いて構成したダイナミックメモ  
リセルの断面図、第3図は従来の方法を示す工  
程図、第4図は同従来の工程を用いて構成したダ  
イナミックメモリの断面図である。

1……シリコン基板、2……ヒ素導入層、8……  
P層、10……分離ホウ素導入層、11……プ  
レート電極、12……絶縁膜、13……ゲート層、  
14……ソース/ドレイン層、15……ビット線  
-容量電極分離層、16……ビット線。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

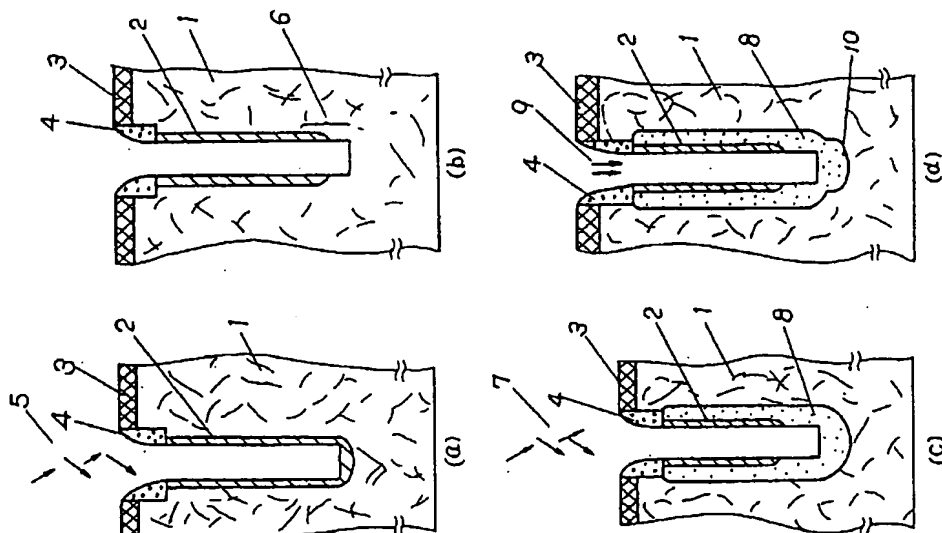
第4図



6 --- 底ヒ素除去再被下り  
7 --- ホウ素斜めイオン注入  
8 --- 斜めホウ素注入によるP層  
9 --- 分離形成層のホウ素注入  
10 --- 分離ホウ素導入層

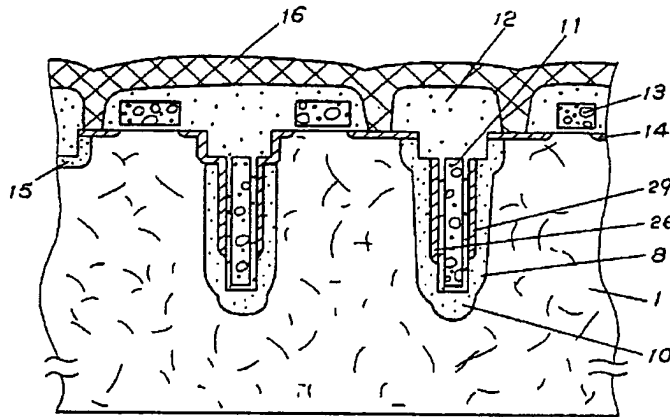
1 --- シリコン基板  
2 --- ヒ素導入層  
3 --- トレンチエッチングマスク1.  
4 --- トレンチエッチングマスク2  
5 --- 斜めヒ素イオン注入

第1図



- 11 --- ポリシリコンプレート電極  
12 --- 絶縁膜  
13 --- MOSTランスタのゲートポリシリコン  
14 --- MOSTランスタのソース/ドレイン層  
15 --- ビット版-容量電極分離層  
16 --- ビット版

第 2 図



- 22 --- 斜めヒ素注入  
23 --- 斜め注入による素子層  
24 --- 底に素子層を掘り下げ  
25 --- 全層形成用DCホウ素注入  
26 --- 分離ホウ素導入層

- 17 --- シリコン基板  
18 --- 斜め注入による素子層  
19 --- トリチンエッチングマスク  
20 --- トリチンエッチングマスク  
21 --- 斜めホウ素注入

第 3 図

